

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 59208756
PUBLICATION DATE : 27-11-84

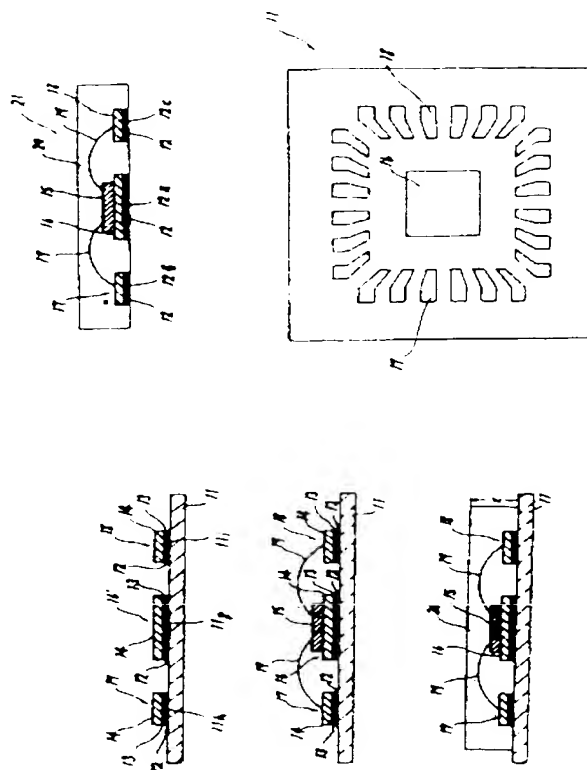
APPLICATION DATE : 12-05-83
APPLICATION NUMBER : 58083188

APPLICANT : SONY CORP:

INVENTOR : KAJIYAMA YUJI:

INT.CL. : H01L 23/12 H01L 21/56 H01L 23/48

TITLE : MANUFACTURE OF
SEMICONDUCTOR DEVICE PACKAGE



ABSTRACT : PURPOSE: To obtain a semiconductor device package which is excellent in heat radiation and suitable for automated manufacturing by a method wherein the semiconductor device is mounted on a substrate and, after being connected to external electrodes, enclosed integrally with resin and the substrate is selectively removed by etching.

CONSTITUTION: Au plating 12 of $1\mu\text{m}$ thickness, Ni plating 13 of $1\mu\text{m}$ thickness and Au plating 14 of $3\mu\text{m}$ are laminated on an Fe substrate 11 of $35\mu\text{m}$ thickness. A semiconductor chip 15 is mounted 16 on a portion 11g and connected 19 to external electrodes 17, 18 on the portions 11h, 11i. The transfer-molding with epoxy resin 20 is carried out so as to make thickness $t=1\text{mm}$. The Fe substrate is removed by etching with FeCl_3 solution from the back surface 11a to complete a leadless type package 21. Bottom surfaces of the Au layers are used as external electrodes 12b, 12c and the heat radiation surface 12a. In order to mount the package 21 on a printed circuit board, only the external electrodes 12b, 12c are directly soldered to a conductor pattern on the substrate. With this constitution, a package of excellent heat radiation can be manufactured automatically by an easy and simple method.

COPYRIGHT: (C)1984.JPO&Japio



已 特 許 出 版 公 開

公開特許公報 A

昭59--208756

51 Int. Cl.	
H	21.3
	23.3

2015年12月31日

宇内整理番号
127-1-F
75-8-1-F
1357-3-L

43 公開 昭和59年(1984)11月27日

發明數 1
審查請求 未請求

(全五頁)

44. 半導体装置のパッケージの製造方法

35号ソニー株式会社内

特 願 昭58—83188

発 明 者 梶山雄次

出 願 昭58:1983:5月12日

東京都品川区北品川6丁目7番

発 明 者 秋山克彦

出 願 人 ソニー株式会社

東京都品川区北品川 6 丁目 7 番

35号ソニー株式会社内

35号ソニー株式会社内

東京都品川区北品川6丁目7番

發 明 者 小野鉄雄

代理人 弁理士 土屋勝

東京都品川区北品川 6 丁目 7 番

外 2 名

12 13 14

1 全世の全世

二、彈体裝填のバツケー：の製造方法

2 号請求書の郵送

這批工人中，有的可能對本廠的生產設備感到不滿，但他們在職責上，按計劃生產，完成生產任務，保證供應，為社會主義建設事業出力，這就叫做「上」；而有的工人，則因不滿於本廠的設備，而怠工，甚至破壞設備，這就叫做「下」。上與下，是根據工人對生產設備的態度而區分的。上與下，是根據工人對生產設備的態度而區分的。上與下，是根據工人對生產設備的態度而區分的。

1. *Chlorophyll a* and *Chlorophyll b* were determined by the method of Arar and Collins (1971).

$$G(Y) = \sum_{j=0}^{\infty} Y_j X^{j+1} = -\frac{Y}{X} \ln(1-X).$$

Figure 1. The effect of the concentration of the inhibitor on the rate of polymerization.

タイプBのパンチカードで、パンチカードの裏面に引き出されているハンダ付け可能な電極をプリント基板の固体ボタンに直接ハンダ付けして接続することにより、交換を省くものである。

[illegible]

Figure 1. The effect of the concentration of the *Agrobacterium* suspension on the transformation efficiency of *Agrobacterium* strains. The *Agrobacterium* strains were grown in the YEA medium for 24 h at 28 °C. The cell concentration of the *Agrobacterium* strains was adjusted to 10⁸ cells/ml. The cell suspension was then mixed with the plant tissue and the transformation efficiency was determined. The results are shown as the mean ± SD of three independent experiments.

1000

するチップを載置し、ワイヤボンディング法により上記チップと上記電極との一対をAuの細線から成るワイヤで接続した後、上方より溶融のエポキシ樹脂を滴下させて硬化成形することによつて成る。

このパッケージ法において、チップは樹脂層とプリント基板とによつて囲まれている。これらの樹脂層及びプリント基板の熱抵抗は共に大きいので、その動作時においてチップで発生する熱をパッケージの外側に効果的に放散することができない。即ち、このパッケージは放散性が低いという欠点を有している。また上記の成状のエポキシ樹脂を滴下する際に、微量の樹脂を一定量、しかも高速で滴下することの難しく、このためにパッケージはパッケージの製造の自動化に乏しいという欠点を有している。

一方、上述のチップキャリアタイプパッケージとは異なるパッケージにチップキャリアタイプパッケージがある。このタイプのパッケージは従来のチップキャリアタイプパッケージよりもさらに

とすることができる。なお上記外部電極部は上記接続用ワイヤ自体が兼ねていてもよいし、上記接続用ワイヤとは別に設けられたかつ上記接続用ワイヤが接続されているものでもよい。

実施例

以下本発明に係る半導体装置のパッケージの製造方法の好適例につき図面を参照しながら説明する。

第1A図〜第2D図は本発明の第1実施例に係る半導体装置のパッケージの製造方法を説明するための図面図である。以下第1A図から工程順に説明する。

まず第1A図において、厚さ $0.1 \sim 0.2$ mmのFe板の型板部10aは、厚さ $0.1 \sim 0.2$ mmのAu層11、厚さ $0.1 \sim 0.2$ mmのNi層12及び厚さ $0.1 \sim 0.2$ mmのAu層13を積層して、半導体装置を構成するチップ14の取付け部及び外部電極部15aのそれぞれを形成する。次に第1B図において、厚さ $0.1 \sim 0.2$ mmのAu層11、厚さ $0.1 \sim 0.2$ mmのNi層12及び厚さ $0.1 \sim 0.2$ mmのAu層13を積層して、半導体装置を構成するチップ14の取付け部及び外部電極部15aのそれぞれを形成する。次に第1C図において、厚さ $0.1 \sim 0.2$ mmのAu層11、厚さ $0.1 \sim 0.2$ mmのNi層12及び厚さ $0.1 \sim 0.2$ mmのAu層13を積層して、半導体装置を構成するチップ14の取付け部及び外部電極部15aのそれぞれを形成する。次に第1D図において、厚さ $0.1 \sim 0.2$ mmのAu層11、厚さ $0.1 \sim 0.2$ mmのNi層12及び厚さ $0.1 \sim 0.2$ mmのAu層13を積層して、半導体装置を構成するチップ14の取付け部及び外部電極部15aのそれぞれを形成する。

小形化できるという点を有するが、チップが樹脂層によつて完全に覆われているため熱放散性が良好でないこと、テープを用いているために特別な装置が必要である等の欠点を有している。

発明の目的

本発明は、上述の問題にかんがみ、熱放散性が良好かつ信頼性の高い半導体装置のパッケージの製造方法を提供することを目的とする。

発明の概要

本発明に係る半導体装置のパッケージの製造方法は、選択エッチング可能な材料から成る基板上に半導体装置を載置し、接続用ワイヤを上記半導体装置に接続すると共にこの接続用ワイヤの外部電極部を上記基板の外部電極部と接続し、次いで上記基板において上記半導体装置及び上記接続用ワイヤを一体に樹脂モールドし、しかも後上記基板をエッチング除去するようにしている。このようにすることによつて、熱放散性が良好かつ信頼性の高いリードレスタイプのパッケージを、簡便かつ安価な方法によつて自動的に製造す

る能に示す。次に第2B図において、上記チップ取付け部にチップ14を載置した後、ワイヤボンディング法によつてこのチップ14と上記外部電極部15aとをそれぞれAuの細線から成るワイヤ16で接続する。次に第2C図において、第2B図の基板10aの上に設けられた上記外部電極部15a、チップ取付け部、チップ14及びワイヤ16を一体とするために、公知のエッチング・モールド法（例えばエッチング法）を用いて、エポキシから成る樹脂モールド層17を上記基板10a上に形成する。なお本実施例においては、上記樹脂モールド層17の厚さを $0.1 \sim 0.2$ mmとした。

次に第2D図において、Feのみを選択的にエッチングする樹脂モールド層17及びAu層11はエッチングしないエッチング液、例えば塩化第二鉄 $FeCl_2$ 溶液を用いて、基板10aの基面10b及びワイヤ16をエッチングすることにより、上記基板10aを除去して、第2D図に示すリードレスタイプのパッケージ10cを完成させる。上記エッチングによつて露出されたAu層12の下面のうち外部

絶縁部材としての Au 塗布の上置が外部電極部 12b、12c となり、またチップ載置部 10 の Au 塗布の上置が熱放散面 12a となる。

上述のようにして完成されたパッケージ 20 をプリント基板 30 に実装する場合、第 2 D 図に示すように、熱放散面 12b、12c をプリント基板 30 の熱伝導パッド 31 に当接させることによって接続すればよい。

上述の第 1 実施例の熱放散面 12a は、その動作時においてチップ 10 から発生する熱の放散面となつてゐる。樹脂の熱伝導率は非常に高いので、チップ 10 から発生する熱は実質的にチップ載置部 10 を外方に向かって迅速に流れて、熱放散面 12a から放散されることによつて効果的に除去される。しかし、よりの果的にチップ 10 の発生熱を除去するためには、広い熱面積を有する放熱フィンの一部を上記熱放散面 12a に当接して空冷により熱を放散させるのが好ましい。

上述の第 1 実施例のパッケージ 20 は第 2 A 図～第 2 D 図に示すような簡単な工程によつて作ること

ができるばかりでなく、全ての製造工程に従来から用いられている装置を用いることができるので、テープキャリアタイプのパッケージにおいて必要な既述の特殊な装置が不要である。従つて、一時的な装置を形成して造り出さるべきものを製造することになる。その上、上述の第 1 実施例の樹脂モールド層 10 を形成する方法としてトランスファ・モールド法（移送成形法）を用いている。この方法は信頼性の高い樹脂封止ができるばかりでなく、モールドの機械化、自動化が容易であるためにパッケージを自動的に製造できるという利点を有している。

なお上述の第 1 実施例において、第 2 A 図に示す場合と同様にチップ載置部 10 及び外部電極部 10b を設けた後に、基板 20 の上面を既述の $FeCl_3$ 溶液を用いて僅かにエッチングすることにより、第 4 A 図に示すようにチップ載置部 10 及び外部電極部 10b の下部の基板上にアンダーコート部 11a) ～(11f) を形成し、次に第 2 B 図～第 2 D 図と同様な方法によつて第 4 B 図に示すパッケージ 20 を

完成させることができる。このように上記のエッチングによつてチップ載置部 10 及び外部電極部 10b の下部に上記アンダーコート部 (11a) ～(11f) が形成されるので、これらの部分に樹脂がより容易に充填され 20a) ～ 20f) が形成される。また、このようにして 20a) ～ 20f) によつて上記チップ載置部 10 及び外部電極部 10b の下部が保護される第 2 の効果として、上記チップ載置部 10 及び外部電極部 10b がパッケージ 20 の使用時において樹脂モールド層 10 を熱膨張で歪めたり変形させることができないという利点がある。さらに、チップ載置部 10 及び外部電極部 10b が樹脂モールド層 10 の熱膨張歪みで歪められないことにより完成される

熱の放散面 12a の上面に公知のサロ・シラートを塗布させた後に所定のペースニングを行う。なお Cu のみを選択的にエッチングするエッチング液、例えば既述の $FeCl_3$ 溶液を用いて上記基板 20 の表面を僅かにエッチングすることによつて、上記基板 20 の表面にチップ載置部 10 及び外部電極部 10b の位置に凹部 11g) を形成する。上記ペースニングを完了した後第 2 E 図において、第 1 実施例と同様に、上記チップ載置部 10 (11g) にパッド層 12 を形成してチップ 10 を載置した後、ペースニング法によつてこのチップ 10 と上記外部電極部 10b (11a) ～(11f) とをそれぞれ Au の層 12 及び 12a) ～ 12f) で被覆する。この被覆は

1) 本発明は、半導体素子、特に、集積回路素子、の封止に用いられるパッケージング技術に関するものである。従来、半導体素子の封止には、樹脂モールド法、エポキシ樹脂封止法、シリコン樹脂封止法、ガラス封止法、セラミックス封止法、金属封止法、などが用いられてゐる。

2) 本発明は、半導体素子、特に、集積回路素子、の封止に用いられるパッケージング技術に関するものである。従来、半導体素子の封止には、樹脂モールド法、エポキシ樹脂封止法、シリコン樹脂封止法、ガラス封止法、セラミックス封止法、金属封止法、などが用いられてゐる。

ンが形成した面が熱伝導部(22a)となる。

上述のようにして完成されたパッケージ体をプリント基板に実装する場合には、第1実施例と同様に、図2(c)に示す上記外部電極部回路をプリント基板上の導体パッドと直接接続して接続すればよい。このことから明らかなように、本実施例においてはワイヤの形成をそのまま外部電極回路として用いるために、ワイヤの径を前述のように大きくするのが好ましい。なお第2実施例(22a)の機能は第1実施例と同様である。

上述の第2実施例のパッケージ体は、第1実施例のパッケージ体と異なつて、フォトレジスト工程及びエッチング工程によつて基板上に設けられた外部電極接続部位(112)(111)にワイヤを直接形成するようにしているので、第1実施例のパッケージ体におけるAu 層(22)及び24 層(23)を形成する必要がない。上述のフォトレジスト工程及びエッチング工程は第1実施例のパッケージ体で用いたメッキ工程よりもさらに簡便である。またこれらフォトレジスト工程及びエッチング工程

を用いることにより、Au 等の貴金属を用いる必要がなくなるという利点がある。

上述の第1実施例及び第2実施例においては、1個のチップをチップ取替部に載置してこれを樹脂モールドする場合につき述べてきたが、基板上に多数のチップ取替部を設け、それぞれのチップ取替部に同一のチップを載置して、これらのチップを一体に樹脂モールドした後に切斷分離することにより、それぞれ1個のチップを有する同一のパッケージを多数は同時に作ることもできる。また種類のチップと、コンデンサや抵抗等の受動素子を基板上に取置した後にこれらを一体に樹脂モールドすれば、個々の機能を有するパッケージを作ることができると共に、回路素子の歩留まりの高いパッケージを作ることができるという利点がある。

上述の第1実施例の基板の材料は選択エッチングが可能であればCu 等の他の金属であってもよく、また第2実施例の基板の材料もFe 等の他の金属であってもよい。第1実施例においてはさらに金属以外の材料、例えばポリイミドブミド系樹

脂を用いることも可能である。この場合には樹脂にエッチング液としては、エドマンとエナメルがエッチとの配合液を用いればよい。

効果の效果

本発明に係る半導体装置のパッケージの製造方法によれば、その動作時において半導体装置から発する熱の放散性が良善でありかつ信頼性が高いパッケージを、極めて簡便かつ安価に製造することによって得られることができる。

4. 図面の簡単な説明

図1(a)は従来のプラスチックタイプのチップの樹脂モールドパッケージの構造を示す断面図、図1(b)は図1(a)は本発明の第1実施例による半導体装置のパッケージの製造方法を説明するための工程図、第2(a)は上記図1(a)に示す工程で得られる半導体の断面図、第2(b)図及び第2(c)図は上記第1実施例の製造方法を示す上記第2(a)図～第2(c)図と明かす図、第2(d)図～第2(e)図は本発明の第2実施例による半導体装置のパッケージの製造方法を説明するための工程図である。

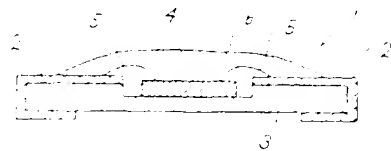
なお図面を用いた符号において、

10202020	パッケージ
2015	チップ
2019	ワイヤ
21	基板
(112)(111)	外部電極接続部位
22a	外部電極部
23	樹脂モールド層

である。

代	進	入	出	産	時
+			あ	色	金
+			和	銅	接

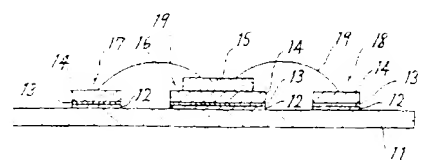
第 1 图



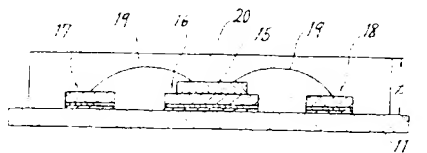
第 2 A 图



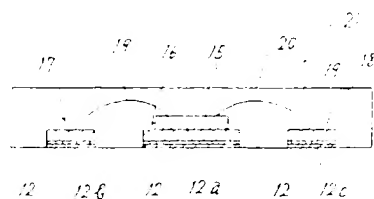
第 2 B 图



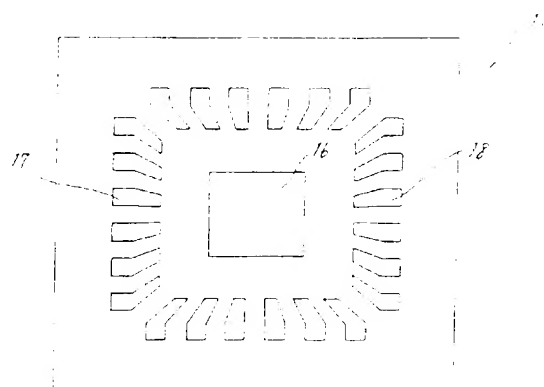
第 2 C 图



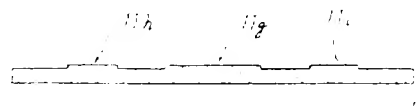
第 2 D 图



第 3 图



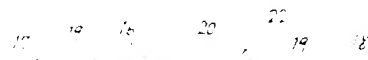
第 5 A 图



第 4 A 图



第 4 B 图



第 5 B 图

